

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-143472

(43)Date of publication of application : 26.06.1987

(51)Int.Cl.

H01L 29/78

H01L 29/52

(21)Application number : 60-282840

(71)Applicant : HITACHI LTD

(22)Date of filing : 18.12.1985

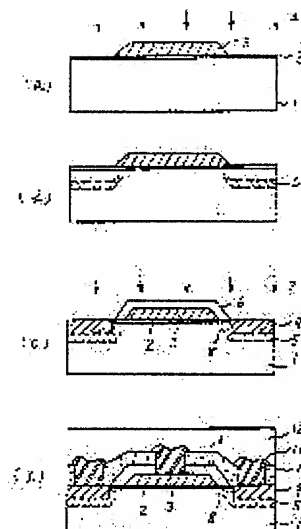
(72)Inventor : YAMAMOTO NAOKI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To decrease the short-channel effect, the leak in a junction layer, and the junction capacity and resistance, by covering totally or partially a contact region where a semiconductor is contacted with a metal or with an alloy of metal and semiconductor, with an insulator.

CONSTITUTION: A gate oxide film 2 is formed in a predetermined region on an Si substrate 1 and a gate electrode 3 is formed thereon. Oxygen ions 4 are implanted, using the gate electrode 3 as a mask. The substrate is then heat treated in the atmosphere of nitrogen. The Si substrate is exposed and oxidized, whereby an oxide film 6 is formed. Subsequently after W is deposited, the substrate is heat treated in the atmosphere of hydrogen so that a silicide is formed only on the region where Si single crystals are exposed, and unreacted W on the SiO₂ is removed while only the silicide 9 is left. Arsenic ions are then implanted and the substrate is heat treated. In this manner, it is possible to form an impurity diffusion layer 8 having a gentle concentration gradient only in the ends thereof to become source and drain.



⑫ 公開特許公報(A)

昭62-143472

⑤Int.Cl.⁴

識別記号

庁内整理番号

④公開 昭和62年(1987)6月26日

H 01 L 29/78
29/52

8422-5F

審査請求 未請求 発明の数 1 (全5頁)

⑬発明の名称 半導体装置

⑰特 願 昭60-282840

⑱出 願 昭60(1985)12月18日

⑭発 明 者 山 本 直 樹 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑯出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑰代 理 人 弁理士 小川 勝男 外1名

明 細 書

発明の名称 半導体装置

特許請求の範囲

1. 半導体装置内の金属と半導体の接合部分あるいは、金属と半導体の化合物層もしくは該化合物と不純物拡散層から構成される部分を絶縁層上に設けたことを特徴とする半導体装置。
2. 該化合物と不純物拡散層の底面および側面の一部あるいは全面を絶縁層で覆ったことを特徴とする特許請求の範囲第1項記載の半導体装置。
3. 該絶縁層が半導体装置の半導体基板内に設けられていることを特徴とする特許請求の範囲第1項もしくは第2項記載の半導体装置。

発明の詳細な説明

〔発明の利用分野〕

本発明は半導体装置に係り、特に微細MOS型装置に好適な不純物接合層と電極をそなえた半導体装置。

〔発明の背景〕

一般に、MOS(Metal-Oxide-Semiconductor)

型Si半導体装置の不純物拡散層はSi単結晶基板内に設けられ、ソース、ドレインや配線として用いられている。MOSVLSI(Very Large Scale Integrated Circuit)等、半導体装置の高集積、高速化に伴い、これらを構成する各素子の微細化が進められている。しかし微細化に伴う長所以外に問題点も顕在化してきた。これらのうち、拡散層微細化に起因した問題点は以下の四つである。

(1) 微細MOSトランジスタでは所望のしきい値電圧を持つ素子を再現性良く製造するのが難しい。これはしきい値電圧のチャンネル長依存性が約1μmチャンネル長近傍以下の短チャンネル領域で急激に低下するためである。この現象は短チャンネル効果と呼ばれ、ソース、ドレインからの空乏層がチャンネル領域の中央まで張り出してくるため生じる。短チャンネル効果を低減する方法として、ソース、ドレインを浅くする方法が一般的に用いられている。しかしそれに伴い、拡散層の抵抗が増大するため、トランジスタの相互コンダクタンスが低下し、電流駆動能力や動作速度の高

速化の障害となつてきた。この対策として、ソース、ドレイン上面部を金属とSiの化合物(シリサイド)で裏打ちし、低抵抗にする方法が広く検討されている。ところがシリサイドを形成すると拡散層のリーク電流が増大するという欠点があることが明らかになってきた。

(2) 短チャネルMOSトランジスタではドレイン端電界強度が強くなるため、キャリアのエネルギーが高くなり、ゲート酸化膜中へキャリアが注入されてしきい値電圧が変動するいわゆるホットキャリア耐性が低くなる。

(3) 高集積化に伴い、半導体装置外部あるいは装置に用いられている材料に含有されている放射性不純物が崩壊する時発生する α 線が半導体基板内に入射し、電離に伴う電子、正孔を生じ装置を誤動作させるソフトエラーの問題が顕著になってきた。電離により生じたこれらのキャリアは拡散層へも流れ込み、ソフトエラーを生じる。

(4) 高積層MOSVLSIでは不純物拡散層と半導体基板間に形成される接合容量による信号遅延が顕著

になってきた。

関連する従来技術としては、たとえばアイ・イー・イー・イー・トランザクションズ・オン・エレクトロン・デバイスズ(IEEE Transactions on Electron Devices), E D-28, 1048頁~1087頁, No 9, 1981年9月がある。

〔発明の目的〕

本発明の目的は金属あるいは金属と半導体の化合物層と半導体の接触部の全体あるいは一部を絶縁層で覆うことにより、上記の諸子微細化に伴い生じた欠点を低減したMOS形半導体装置を提供することにある。

〔発明の概要〕

前記の欠点(1)は短チャネル効果を低減するために拡散層を浅くした結果、従来問題とならなかった電極と拡散層の反応に伴う欠陥や金属の微量の拡散により、リーク電流が増大したものである。したがって、金属あるいは化合物層と半導体基板間に絶縁層を設けることにより、リーク電流増大を抑制できる。(2)ホットキャリア耐性の低

下を防ぐためには、ドレイン端での電界を低くすれば良い。この方法としてはドレイン端不純物の濃度勾配を緩やかにするのが最も効果的である。このために、第1図(a)に示すごとく、ゲート電極3の断面が台形々状になるように加工し、ゲート電極3をマスクとして酸素、窒素あるいは炭素等、半導体基板材料と反応し絶縁物を形成するような元素4をイオン打込する。打込まれた元素はゲート電極が無い部分では基板内部深く注入され、電極下では、その側壁形状に従って浅く打込まれる。この後、ヒ素、リンまたはほう素7を注入あるいは拡散すればドレイン端部では表面近傍まで酸素、窒素、炭素等の微量不純物が分布するため拡散層の濃度勾配が緩やかにできる。そして、この後深く絶縁物を形成する元素が注入された領域を金属と半導体の化合物層9で置きかえればソース、ドレイン等の低抵抗化が達成される。また、ソース、ドレインとなる不純物拡散層がチャネル領域と接触するのはチャネル表面近傍のみであり、その他の部分はイオン打込により形成され

た絶縁膜で覆われているため、空乏層のチャネル領域への広がりを抑制でき、短チャネル効果を低減できる。

次に、従来構造の欠点として(3)で示した α 線によるソフトエラーも、接合層が絶縁膜で覆われているため生じにくい。先の(4)で示した如く、Si半導体MOSVLSIでは拡散層と基板間に形成される接合容量による信号遅延が顕著になっている。しかしこれらの間にSi酸化物や窒化物層を設けると、容量が従来の数分の1に低減できる。これは、これらの絶縁膜の誘導率がSiの数分の1と小さいためである。上記はイオン打込により絶縁膜を形成した場合について示したが、第2図に示すごとく、イオン打込法を用いなくても、全く同様の効果を持つ絶縁層を形成できる。

なお、従来MOSトランジスタを絶縁基板上に形成するいわゆるSOI(Semiconductor on Insulator)構造が広く検討されている。しかし、この方法では絶縁層上に良質の単結晶を形成するのが難しく、単結晶Si基板内に形成したMOS

トランジスタと同等の特性が得られるまでに至っていない。また、チャネル領域も絶縁層上に在るため、外部からの影響を受け易く、電位が安定せず、特性が不安定となる。したがって、チャネル領域は半導体基板に直接々触するか、基板内に設け、接合層のみが絶縁層により覆われている構造が良い。

〔発明の実施例〕

実施例 1

第1図(a)に示すようにp型(100)Si基板1の所定領域に、20nm厚さのゲート酸化膜2を形成し、その上にりんを含有させた多結晶Siを形成し、ドライエッチング法で、断面が台形になるように加工しゲータ電極3とした。次に、この電極をマスクとして、酸素4を120KeVで $2 \times 10^{15}/\text{cm}^2$ イオン注入し、その後、1000℃で30分間の窒素雰囲気熱処理を行った。次に、ゲート電極周辺部のSiO₂を一たん除去し、単結晶Si基板を露出させた後、再び水分を含む酸化雰囲気中で酸化した。この時、多結晶部に200

nm程度の厚い酸化膜6を形成しても、単結晶Si表面は数10nm程度しか形成されない。この単結晶Si表面のSiO₂膜を再び除去した後、Wを50nm堆積し、続いて750℃で30分の水素雰囲気中で熱処理し、Si単結晶露出部分のみにシリサイドを形成し、SiO₂上の未反応Wを過酸化水素で除去し、シリサイド9部分のみを残存させた。次にAs7を80KeVで $1 \times 10^{16}/\text{cm}^2$ シリサイド層を注入し、その後、950℃、30分の窒素雰囲気中で熱処理を行うと、シリサイド中をAsが拡散し、ソース、ドレインとなる端部にのみ緩傾斜濃度勾配を持つ不純物拡散層8が形成できた。このようにして得られたMOSトランジスタは従来方式の不純物接合層部分がシリサイドで構成されるため、配線として用いてもその抵抗は低く、不純物拡散層のみで形成される場合より約1桁低い、 $0.4 \Omega/\square$ のシート抵抗が得られた。

また、ドレイン端部は浅くなっているため、短チャネル効果は第3図に示すごとく従来法より

改善された。またドレイン端部の不純物濃度分布が緩やかになったため、ホットキャリアによるしきい値電圧が一定量変化するまでの時間、いわゆる寿命が約1.5~2.0桁長くなった。なお、拡散層のリーク電流は純Al電極11を用いた場合でも、印加電圧20Vで 10^{-13} A以下と良好な特性を得た。

実施例 2

本発明の実施例2を第2図を用いて説明する。ゲート電極形成までは実施例1と同じである。ただし第2図(a)に示したように、電極の端部はできるだけ傾斜を持たないように加工した。なおゲート電極加工にあたってはSiO₂膜14をマスクとした。次に化学蒸着(CVD: Chemical Vapor Deposition)法でSiO₂膜15を0.3μm堆積後、異方性ドライエッチング技術を用い、ゲート電極側壁部のみに、このSiO₂15を残存させた(第2図(b))。続いて、再び異方性エッチング技術により、第2図(c)に示したようにゲート電極3の周辺部に露出したSi基板1を深さ0.1μm

掘り、その後、CVD法でSi窒化膜を0.2μm堆積し、さらに異方性エッチングにより、Si基板内の側壁部とゲート電極側壁にSi窒化膜16を残存させた。次に再び露出したSi基板を異方性エッチング技術により、0.5μm掘り、その後、水分を含んだ酸化雰囲気中でSi基板の露出部分を酸化し、第2図(d)に示すように約0.4μm厚さのSiO₂5を形成した。この後、側壁部のSi窒化膜16を熱りん酸で除去した。

続いて、第2図(e)に示すようにりんを含有した多結晶Si17を形成した。

この時、溝を掘った領域の多結晶Si17は図に示すように凹んでいる。この状態でホトレジスト18をウエハ全面に塗布すると平坦部より凹んだ部分の方がレジスト膜厚が厚くなる。次にArプラズマ中で平坦部のレジストが無くなるまでエッチングすると、凹んだ部分のみレジスト18が残存する。

このレジスト18をマスクとして、多結晶Si17をエッチングして、第2図(f)に示すように、

ソース、ドレインとなる部分のみ多結晶Siを残存させた。次にレジスト18を除去し、900℃で30分の熱処理を行うと、ソース、ドレイン端部のSi基板内に多結晶Si中のりんが拡散し、緩傾斜濃度勾配の不純物拡散層8が形成できた。この後、Tiを80nm堆積し、680℃の窒素雰囲気中で熱処理し、第2図(g)に示すように多結晶SiをTiシリサイド9にした。なお未反応Tiはエッチング液により除去した。この後は通常の方法で、層間絶縁膜10、A₂電極11、パシベーション膜12を形成し、MOSトランジスタを形成した。本実施例によると、実施例1と同様の効果があるとともに、ソース、ドレインがTiシリサイドで形成されているため、さら抵抗を2分の1に低減できた。

〔発明の効果〕

本発明によれば、MOSトランジスタの短チャネル効果、接合層リーク、接合層容量と抵抗を低減できるとともに、ホットキャリアおよびソフトエラーに強い半導体装置を得ることができる。

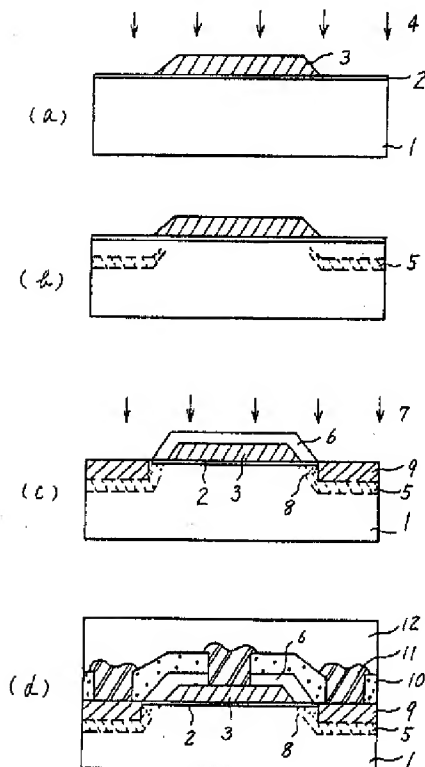
なお、本発明の実施例では、多結晶Siゲート電極の場合のみ示したが、タングステンやモリブデンなどの高融点金属ゲート電極、あるいはシリサイドと多結晶Siを重ねたゲート電極を持つMOS型半導体装置にも適用できるのは言うまでもない。

図面の簡単な説明

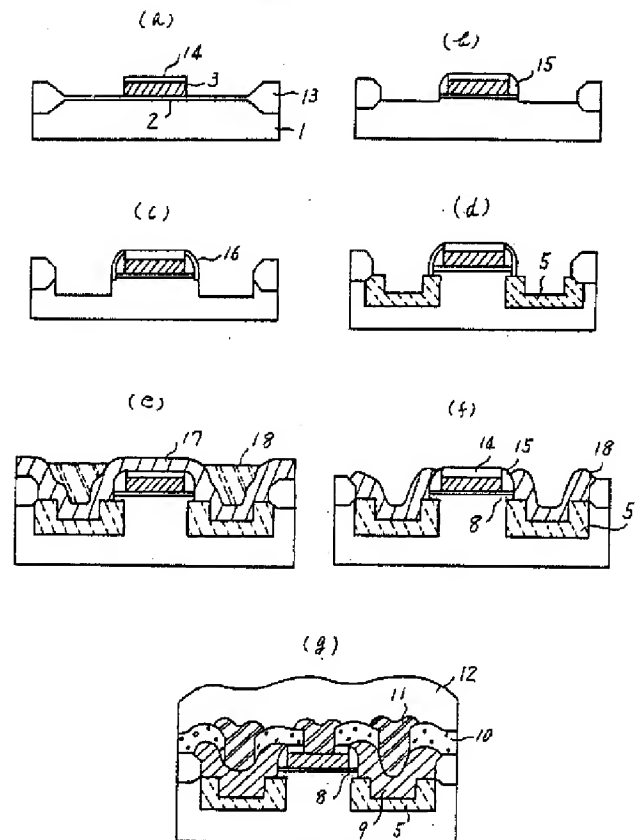
第1図、第2図はそれぞれ本発明の実施例を示す工程図、第3図は本発明の効果を示す図である。
1…Si基板、2…ゲート酸化膜、3…ゲート電極、4…O、C、N等打込イオン、5…絶縁物層、6…ゲート電極被覆SiO₂膜、7…As、P等打込イオン、8…緩傾斜濃度不純物拡散層、9…シリサイド層、10…層間絶縁膜、11…A₂電極、12…パシベーション膜、13…素子間分離SiO₂、14…ゲート電極加工用SiO₂膜、15…側壁SiO₂膜、16…側壁窒化膜、17…多結晶Si、18…ホトレジスト。

代理人 弁理士 小川勝男

第1図



第2図



第 3 図

